

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 6月 9日

出 願 番 号
Application Number:

特願2003-163857

[ST.10/C]:

[JP2003-163857]

出 願 人
Applicant(s):

株式会社東芝

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3049445

【書類名】 特許願

【整理番号】 A000300717

【提出日】 平成15年 6月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00
H01L 21/76

【発明の名称】 半導体装置の製造方法

【請求項の数】 23

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 稗田 克彦

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 川崎 敦子

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 清利 正弘

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 橘 勝彦

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 山崎 壮一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【先の出願に基づく優先権主張】

【出願番号】 特願2002-289428

【出願日】 平成14年10月 2日

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板にマスク部材を用いて素子分離用溝を形成する工程、

前記半導体基板上に第 1 の膜を塗布法により形成し、前記素子分離用溝内に第 1 の膜を埋め込む工程、

前記第 1 の膜に含まれる溶媒を揮発させて、前記第 1 の膜を第 2 の膜に変換する工程、

前記マスク部材上の第 2 の膜を CMP により除去して前記マスク部材の表面を露出し、前記素子分離用溝内に第 2 の膜を選択的に残置する工程、および

前記素子分離用溝内に埋め込まれた第 2 の膜を、水蒸気を含む雰囲気中で燃焼酸化処理する工程

を具備することを特徴とする半導体装置の製造方法。

【請求項 2】 前記燃焼酸化処理は、200℃以上の温度で行なうことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記燃焼酸化処理は、200℃以上 450℃以下の温度に保持する低温熱処理と、450℃以上 1000℃以下の温度に保持する高温熱処理とを含むことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 2 の膜は、前記素子分離用溝の底部から前記第 2 の膜表面までの距離が 600 nm 以内となるように、前記素子分離用溝内に埋め込むことを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 前記第 1 の膜は、過水素化シラザン重合体からなり、前記第 2 の膜はポリシラザンからなり、前記燃焼酸化処理により前記第 2 の膜は酸化シリコン膜に変化することを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記マスク部材上の前記第 2 の膜を CMP により除去する前に、水蒸気を含む雰囲気中、200℃以上 450℃以下の温度で熱処理して、前

記第 2 の膜の耐 CMP 化处理を行なうことを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】 前記第 2 の膜の耐 CMP 化处理は、水蒸気を含む雰囲気中、350℃以上450℃以下の温度で行なうことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記燃焼酸化処理の後に、800℃以上1100℃以下の温度で熱処理して、前記第 2 の膜の緻密化处理を行なうことを有することを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】 前記緻密化处理を行なう前に、前記マスク部材を前記半導体基板から除去して、前記第 2 の膜の側面を露出することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 半導体基板にマスク部材を用いて素子分離用溝を形成する工程、

過水素化シラザン重合体溶液を塗布法により前記半導体基板上に塗布して、前記素子分離用溝内に過水素化シラザン重合体を含む塗布膜を埋め込む工程、

前記塗布膜を熱処理して溶媒を揮発させ、前記塗布膜をポリシラザン膜に変換する工程、

前記マスク部材上の前記ポリシラザン膜を CMP により除去して前記マスク部材の表面を露出し、前記ポリシラザン膜を前記素子分離用溝内に選択的に残置する工程、および

前記ポリシラザン膜を熱処理して、酸化シリコン膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 11】 前記酸化シリコン膜を形成する工程の後に、前記半導体基板上のマスク部材を除去する工程、および前記酸化シリコン膜を熱処理して緻密化する工程をさらに具備することを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 前記酸化シリコン膜を形成する工程は、水蒸気を含む雰囲気中、350℃以上の温度で熱処理する燃焼酸化処理であることを特徴とする請求項 10 または 11 に記載の半導体装置の製造方法。

【請求項 1 3】 前記燃焼酸化処理は、水蒸気を含む雰囲気中、350℃以上450℃以下の温度に保持する低温熱処理と、450℃以上1000℃以下の温度に保持する高温熱処理とを含むことを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 前記酸化シリコン膜を緻密化する熱処理は、800℃以上1100℃以下の温度で行なうことを特徴とする請求項 1 1 ないし 1 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 5】 ベースフィルム上に、平坦な表面を有する誘電体膜を剥離可能に形成する工程、

半導体基板上に段差を形成する工程、

前記誘電体膜を、前記段差を有する半導体基板上に配置して、熱および圧力をかける工程、

前記ベースフィルムを前記誘電体膜から剥離することにより、前記半導体基板上の前記段差を埋め込んで、平坦な表面を有する誘電体膜を形成する工程、および

前記誘電体膜を、水蒸気を含む雰囲気中で燃焼酸化処理する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 1 6】 前記段差は、素子分離用溝、ゲート電極および配線層の少なくとも一つとして前記半導体基板上に形成されることを特徴とする請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】 前記段差は A 1 配線層からなり、前記燃焼酸化処理は、水蒸気を含む雰囲気中、200℃以上400℃以下の温度に保持する熱処理であることを特徴とする請求項 1 6 に記載の半導体装置の製造方法。

【請求項 1 8】 前記水蒸気を含む雰囲気中、350℃以上の温度で熱処理することによって、前記 A 1 配線層の周囲に Al_2O_3 を形成することを特徴とする請求項 1 7 に記載の半導体装置の製造方法。

【請求項 1 9】 前記燃焼酸化処理は、200℃以上の温度で行なうことを特徴とする請求項 1 5 または 1 6 に記載の半導体装置の製造方法。

【請求項 2 0】 前記燃焼酸化処理は、200℃以上450℃以下の温度に

保持する低温熱処理と、450℃以上1000℃以下の温度に保持する高温熱処理を含むことを特徴とする請求項19に記載の半導体装置の製造方法。

【請求項21】 前記誘電体膜は、前記素子分離用溝の底部から前記誘電体膜の表面までの距離が600nm以内となるように、前記段差に埋め込むことを特徴とする請求項15ないし20のいずれか1項に記載の半導体装置の製造方法。

【請求項22】 前記誘電体膜は、ポリシラザンからなり、前記燃料酸化処理により酸化シリコン膜を形成することを特徴とする請求項15ないし21のいずれか1項に記載の半導体装置の製造方法

【請求項23】 前記酸化シリコン膜上に、透湿性の低い膜を堆積する工程をさらに具備することを特徴とする請求項22に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特にSTI (Shallow Trench Isolation) 構造の形成方法、PMD膜の形成方法、およびパッシベーション膜の形成方法に関する。

【0002】

【従来の技術】

最近の半導体装置の素子分離には、STI構造が広く用いられている。これは、半導体基板の素子分離領域に溝を形成し、この溝に素子分離絶縁膜となるシリコン酸化 (SiO_2) 膜などを埋め込む方法である。半導体装置の微細化に伴って溝のアスペクト比が大きくなり、従来のオゾン (O_3) -TEOS CVD - SiO_2 膜やHDP-TEOS CVD - SiO_2 膜では、STIの溝の中に、空孔やシームを発生させずに埋め込むことが困難になってきている。

【0003】

このため、100nm世代以降では、塗布型溶液を用いてSTI溝に素子分離絶縁膜を埋め込む方法が提案されている（例えば、非特許文献1、特許文献1参照。）。

【0004】

この方法においては、まず、図14 (a) に示すように、シリコン基板100上に SiO_2 膜101を形成し、その上にマスク部材としての Si_3N_4 膜102を積層形成する。その後、通常の露光技術とRIE (Reactive Ion Etching) 法によるドライエッチング技術とを用いて、 Si_3N_4 膜102、 SiO_2 膜101、およびシリコン基板100を順次加工する。これによって、シリコン基板100にSTI素子分離用のSTI溝103を形成する。STI溝のサイズは、例えば幅100nm、深さ300nm程度である。

【0005】

次に、図14 (b) に示すように、STI溝103が完全に埋まるように Si_3N_4 膜102の全面に、過水素化シラザン重合体 ($(\text{SiH}_2\text{NH})_n$) 溶液を、例えばスピンコーティング法により600nm程度の膜厚で塗布する。これを、200℃以下、例えば150℃程度で3分程度のベーキングすることにより溶媒を揮発させて、ポリシラザン (Polysilazane: 以下PSZと記す) 膜105を形成する。

【0006】

PSZ膜105は、350℃以上600℃以下程度の水蒸気を含む雰囲気中で60分程度熱処理することによって、図15 (c) に示すように、 SiO_2 膜106に変換する。

【0007】

その後、図15 (d) に示すように、酸化性雰囲気または窒素等の不活性ガス雰囲気中、900℃程度で30分程度の熱処理を行なう。 SiO_2 膜106に残留している NH_3 や H_2O は放出されて、 SiO_2 膜106より密度の高い緻密な SiO_2 膜107が形成される。

【0008】

次に、 Si_3N_4 膜102上の SiO_2 膜107を、例えばCMP (Chemical Mechanical Polishing) 法により選択的に除去して、図16 (e) に示すように Si_3N_4 膜102の表面を露出する。この結果、表面のみを露出した形状で、各STI溝103の中に SiO_2 膜107が形成さ

れる。

【0009】

さらに、 Si_3N_4 膜102および SiO_2 膜101を順次除去して、図16(f)に示すようにシリコン基板100の表面を露出させる。以上により、STI溝103内に SiO_2 膜107を埋め込んだSTI構造が形成される。

【0010】

この方法では、溝幅 $1\mu\text{m}$ 以上のSTI溝中に存在するPSZ膜105は、後の工程で十分に SiO_2 膜107に変換される。しかしながら、溝幅 100nm 程度以下のSTI溝103においては、溝内の一部のPSZ膜105aは、図16(e)に示すように SiO_2 に十分に変換されない。こうして、未変換PSZ部分105aが生じる。この未変換PSZ部分105aは、ウェットエッチングレートが早いため、特にSTIコーナー部における窪み(divot)の抑制が困難である。また、STIの絶縁膜の高さを制御することも難しく、所望形状のSTI構造を実現するのが困難であった。

【0011】

溝幅 100nm 程度以下のSTI溝103内のPSZ膜105においては、図15(c)に示したように、溝底部近傍のPSZ膜105aを SiO_2 膜106に変換するために必要な H_2O および酸素(O_2)が十分に供給されないことによる。

【0012】

STI溝幅が広いものから 100nm 程度の狭いSTI溝幅まで均一にSTI溝中のPSZ膜が SiO_2 膜に変換されるような製造方法が求められていた。

【0013】

また、PMD膜としてP-TEOS SiO_2 等が従来用いられてきたが、PMD膜には次のような特性が求められる。ゲート電極などの下地段差を平坦化できること、 600°C 以下の低温で平坦化可能なことである。さらに、膜のウェットエッチングレートが熱酸化膜にできるだけ近いこと、すなわち、コンタクト形成時のSi表面の露出の際、ウェットエッチング処理によるコンタクト側面の異常エッチングによる段差を防ぐことである。

【0014】

低温PMDの候補のひとつとして、例えばSOGなどの塗布型の膜が挙げられる。SOG塗布膜は、 SiO_2 膜や Si_3N_4 膜などの層間絶縁膜を介してゲート電極の段差の上に塗布法を用いて形成される。下地段差の密な領域では平坦な膜が得られるが、段差が疎な領域では平坦にすることができなかった。また、従来のSOG膜では、SOG中の溶媒を除去する際に膜の大きな体積収縮が生じて、厚い領域でSOG膜が割れるという問題があった。さらにSOG膜は、熱処理を施して SiO_2 膜に変化させても、ウェットエッチングレートが熱酸化膜の2倍以上もある。このため、ウェットエッチング時にコンタクト側面に段差が生じるといった問題もあった。

【0015】

パッシベーション膜においても、カバレッジに優れるとともにプラズマダメージのない SiO_2 膜を実現するのは困難であった。図17を参照して、従来用いられているP-TEOS SiO_2 膜とP-SiN膜との2層構造のパッシベーション膜について説明する。まず、図17(a)に示すように、配線202を有する層間絶縁膜201の上に、例えばHDPを用いたプラズマ(P) SiO_2 膜203を堆積する。P- SiO_2 膜203はカバレッジが悪いため配線202上では厚く堆積され、配線間では薄く堆積される。しかも、P- SiO_2 膜203は透湿性が高いため、図17(b)に示すように透湿性の低いP-SiN膜204がその上に堆積される。このP-SiN膜204もカバレッジが悪いため、図17(b)に示すように配線202上では厚く形成される。低い透湿性を確保するためには100nm以上の膜厚が必要とされることから、配線202上のP-SiN膜204の膜厚は厚くなる。このため、図17(c)に示すようにビアホール205を開孔する領域の膜厚が厚く、ビアホール205のアスペクトが大きくなって開孔が困難になる。

【0016】

また、従来のSOG(Spin on Glass)の場合も、図18(a)に示すように、配線層202に起因した段差を埋め込むために膜厚を厚くする必要がある。このため、図18(b)に示すように、ビアホール205のアスペ

クトが大きくなってしまうという問題があった。

【0017】

【非特許文献1】

Void Free and Low Stress Shallow Trench Isolation Technology using P-SOG for sub $0.1\mu\text{m}$ Device (J.H.Heo et al., 2002 Symposium on VLSI Technology Digest of Technological Papers, pp.132~133, 2002)

【0018】

【特許文献1】

米国特許第6, 191, 002号公報

【0019】

【発明が解決しようとする課題】

上述したように従来の方法では、 100nm 程度以下のSTI溝幅中に窪み (divot) が発生したり、STI溝幅により埋め込み高さが変動するため、所望のSTI構造を実現するのが困難であった。また、PMD膜においては、低温での平坦化と酸化膜と同等のウェットエッチングレートとを同時に達成することが難しい。さらに、パッシベーション膜においても、カバレッジに優れ、プラズマダメージのない SiO_2 膜は得られていない。

【0020】

本発明は、溝幅に拘わらず、素子分離溝内に埋め込まれる絶縁膜の窪み、高さの変動などによる素子分離構造の形状劣化を低減できる半導体装置の製造方法を提供することを目的する。

【0021】

また本発明は、酸化膜と同等のウェットエッチングレートを有する平坦なPMD膜を、低温で成膜可能な半導体装置の製造方法を提供することを目的とする。

【0022】

さらに本発明は、カバレッジに優れ、プラズマダメージのない SiO_2 からなるパッシベーション膜を形成可能な半導体装置の製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】

本発明の一態様にかかる半導体装置の製造方法は、半導体基板にマスク部材を用いて素子分離用溝を形成する工程、

前記半導体基板上に第 1 の膜を塗布法により形成し、前記素子分離用溝内に第 1 の膜を埋め込む工程、

前記第 1 の膜に含まれる溶媒を揮発させて、前記第 1 の膜を第 2 の膜に変換する工程、

前記マスク部材上の第 2 の膜を CMP により除去して前記マスク部材の表面を露出し、前記素子分離用溝内に第 2 の膜を選択的に残置する工程、および

前記素子分離用溝内に埋め込まれた第 2 の膜を、水蒸気を含む雰囲気中で燃焼酸化処理する工程

を具備することを特徴とする。

【 0 0 2 4 】

本発明の他の態様にかかる半導体装置の製造方法は、半導体基板にマスク部材を用いて素子分離用溝を形成する工程、

過水素化シラザン重合体溶液を塗布法により前記半導体基板上に塗布して、前記素子分離用溝内に過水素化シラザン重合体を含む塗布膜を埋め込む工程、

前記塗布膜を熱処理して溶媒を揮発させ、前記塗布膜をポリシラザン膜に変換する工程、

前記マスク部材上の前記ポリシラザン膜を CMP により除去して前記マスク部材の表面を露出し、前記ポリシラザン膜を前記素子分離用溝内に選択的に残置する工程、および

前記ポリシラザン膜を熱処理して、酸化シリコン膜を形成する工程を具備することを特徴とする。

【 0 0 2 5 】

本発明の他の態様にかかる半導体装置の製造方法は、ベースフィルム上に、平坦な表面を有する誘電体膜を剥離可能に形成する工程、

半導体基板上に段差を形成する工程、

前記誘電体膜を、前記段差を有する半導体基板上に配置して、熱および圧力を

かける工程、

前記ベースフィルムを前記誘電体膜から剥離することにより、前記半導体基板上の前記段差を埋め込んで、平坦な表面を有する誘電体膜を形成する工程、および

前記誘電体膜を、水蒸気を含む雰囲気中で燃焼酸化処理する工程を具備することを特徴とする。

【 0 0 2 6 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

【 0 0 2 7 】

(第 1 の実施形態)

まず、図 1 および図 2 を参照して、本発明の第 1 の実施形態に係る方法により製造される半導体装置を説明する。ここで示す半導体装置は、S T I 素子分離構造を用いたM O S トランジスタであり、図 1 にその平面図を示す。図 2 は、図 1 の A - A 線に沿った断面図である。図 1 および図 2 においては、メタル配線部上の配線層およびパッシベーション層が図示されておらず、図 1 においては、層間絶縁膜が図示されていない。

【 0 0 2 8 】

本実施形態に係るM O S トランジスタは、例えば次のような方法により製造することができる。まず、シリコン基板等の半導体基板 1 0 に、各素子を電氣的に分離するためにS T I 構造の素子分離領域 1 1 を形成する。素子分離領域 1 1 は、各種溝幅で形成することができる。素子分離領域に囲まれたシリコン基板 1 0 の素子形成領域 1 2 には、ソース領域 1 3 およびドレイン領域 1 4 を形成し、このソース／ドレイン領域間にゲート酸化膜 1 5 を介してゲート電極 1 6 を形成する。ゲート電極上には層間絶縁膜 1 7 を形成して、コンタクトホール 1 8 を開口する。このコンタクトホール 1 8 内に導体を充填し、メタル配線 1 9 に接続されたソース電極 2 0 およびドレイン電極 2 1 を形成する。さらに、多層配線層、パッシベーション膜、およびパッドなどを形成して、M O S トランジスタが完成する。

【 0 0 2 9 】

図 3 乃至図 5 を参照して、第 1 の実施形態に係る半導体装置の製造方法を説明する。これらの図面は、図 1 の点線部に対応した 1 0 0 n m 程度以下の狭い S T I 領域を示している。

【 0 0 3 0 】

まず、図 3 (a) に示すように、シリコン基板等の半導体基板 3 0 の表面にシリコン酸化膜（以下 SiO_2 膜と記す） 3 1 を 4 n m 程度の膜厚で形成する。その上に、LP-CVD (Low Pressure Chemical Vapor Deposition) 法により、窒化シリコン膜（以下 Si_3N_4 膜と記す） 3 2 を膜厚 2 0 0 n m 程度の膜厚で形成する。この Si_3N_4 膜 3 2 は、マスク部材として作用する。その後、露光技術および R I E 法によるドライエッチング技術を用いて、 Si_3N_4 膜 3 2 、 SiO_2 膜 3 1 、 およびシリコン基板 3 0 を順次加工する。これによって、S T I 素子分離のための素子分離溝としての S T I 溝 3 3 をシリコン基板 3 0 に形成する。S T I 溝 3 3 のサイズは、例えば幅 1 0 0 n m 、 深さ 3 0 0 n m 程度とすることができる。素子分離のための溝であるので、種々の幅の溝をシリコン基板上に形成することができる。

【 0 0 3 1 】

Si_3N_4 膜上に SiO_2 膜（図示せず）を積層し、この SiO_2 膜をシリコン基板 3 0 のエッチングマスク部材として用いてもよい。

【 0 0 3 2 】

次に、熱酸化法を用いてシリコン基板 3 0 を酸化し、S T I 溝 3 3 側面に膜厚 3 n m 程度の熱酸化膜 3 4 を形成する。酸素ラジカルを用いた場合には、シリコン (S i) の面方位に依存しない均一な高品質の酸化シリコン膜を、S T I 溝 3 3 の側面に形成することができる。酸化工程においては、I S S G (In-Situ Steam Generation) 法を用いて、 Si_3N_4 膜 3 2 の側面を僅かに酸化しておいてもよい。

【 0 0 3 3 】

その後、いわゆるプルバック (Pullback) 法を用いて Si_3N_4 膜 3 2 の溝幅を 1 0 n m 程度広げる。この工程には、例えばホット磷酸などを用いるこ

とができる。この際、 SiO_2 膜 3 1 と Si_3N_4 膜 3 2 との選択比が 2 以上確保できるような等方性エッチングを用いることが望ましい。

【 0 0 3 4 】

加工後の Si_3N_4 膜 3 2 の全面には、図 3 (b) に示すように、STI 溝 3 3 が完全に埋まるように塗布型溶液を塗布する。例えば、 Si_3N_4 膜 3 2 上で膜厚 6 0 0 n m 程度になるように塗布膜を形成する。塗布膜は、例えば次のような方法により形成することができる。まず、スピコート法を用いて過水素化シラザン重合体 ($(\text{SiH}_2\text{NH})_n$) 溶液を Si_3N_4 膜 3 2 の全面に塗布する。次いで、2 0 0 °C 以下の温度、例えば 1 5 0 °C 程度で 3 分程度のベーキングを行なって溶媒を揮発させる。これによって、ポリシラザン (PSZ) 膜 3 5 が形成される。

【 0 0 3 5 】

Si_3N_4 膜 3 2 の膜厚は、堆積当初の 2 0 0 n m から 1 9 0 n m 程度に減少しているため、PSZ 膜 3 5 の表面から STI 溝 3 3 の底部までの距離は、1 1 0 0 n m 程度となる。PSZ 膜 3 5 の埋め込み特性は良好であり、1 0 0 n m 程度の狭い STI 溝 3 3 に対しても空孔を発生することなく、埋め込めることが確認された。

【 0 0 3 6 】

次に、 Si_3N_4 膜 3 2 上の PSZ 膜 3 5 を、例えば CMP 法により選択的に除去して、図 4 (c) に示すように Si_3N_4 膜 3 2 表面を露出させる。この結果、表面のみを露出した形状で STI 溝 3 3 の中に PSZ 膜 3 5 が形成される。この形状が、本発明の実施形態にとって重要なポイントである。

【 0 0 3 7 】

PSZ 膜 3 5 は軟弱であるため、CMP においては、通常よりも粒径の大きな柔らかい研磨材 (スラリー) が用いられる。また、荷重を調整して研磨速度を制御することが望まれる。CMP 加工によって、STI 溝 3 3 底から PSZ 膜 3 5 表面までの距離 t は、4 8 0 n m 程度と非常に短くなる。

【 0 0 3 8 】

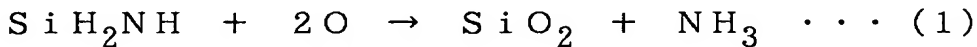
すなわち、STI 溝 3 3 底から PSZ 膜 3 5 表面までの距離 t は、従来の方法

におけるマスク上の領域の膜厚に相当することになる。あるいは、距離 t は、十分に広い STI 溝幅部における PSZ 膜の膜厚程度に相当するともいえる。CMP に先立って、水蒸気を含む雰囲気中で 200°C 以上 450°C 以下の温度で 60 分程度熱処理してもよい。これによって、PSZ 膜 35 の CMP に対する膜強度を高めて、耐 CMP 化処理を施すことができる。なお、 500°C を越える温度で 600 nm 以上の膜厚の PSZ 膜を熱処理すると、膜収縮 (shrink) が起こり、膜全体が SiO_2 膜に変化しきれない。このため、熱処理温度は、 350°C 以上 450°C 以下とすることがより好ましい。

【0039】

次に、図 4 (d) に示すように、PSZ 膜が 500 nm より薄くなった段階で水蒸気雰囲気中において、例えば 800°C の燃焼酸化（以下、BOX 酸化と称する）を 30 分程度行なうことによって、PSZ 膜 35 は完全に SiO_2 膜 36 に変化する。水蒸気雰囲気は、水と酸素とを供給することにより形成することができる。この際の反応は、以下の化学式 (1) で表わされる。

【0040】



水蒸気 (H_2O) の分解により酸素 O が生じ、PSZ 膜 35 は酸素と反応して、 SiO_2 と NH_3 (アンモニアガス) とが生成する。こうして、PSZ 膜 35 は SiO_2 膜 36 に変化する。素子形成領域は Si_3N_4 膜 32 に覆われているので、シリコン基板 30 の表面は酸化されない。

【0041】

この化学反応は、STI 溝 33 表面に露出している PSZ 膜 35 の表面から進行する。

【0042】

800°C で 30 分間程度 BOX 酸化を行なうことによって、PSZ 膜 35 における $\text{Si}-\text{N}$ 結合は $\text{Si}-\text{O}$ 結合へと変換される。その結果、STI 溝 33 に埋め込まれた PSZ 膜 35 を、溝底まで完全に SiO_2 膜 36 へ変換することができ、変換効率が向上する。

【0043】

B O X 酸化工程においては、S i - O 結合への変換効率をさらに向上させるために、2 段階 B O X 酸化法を用いてもよい。この場合には、まず、水蒸気を含む雰囲気中、2 0 0 ~ 4 5 0 ° C の比較的低温で 3 0 ~ 6 0 分程度保持する。2 0 0 ° C 未満の場合には、S i - N 結合を十分に S i - O 結合に変換することが困難となり、一方、4 5 0 ° C を越えると、P S Z 膜 3 5 の収縮 (s h r i n k) を引き起こすおそれがある。この際の温度は、好ましくは 3 5 0 ~ 4 5 0 ° C である。その後、水蒸気雰囲気のまま 4 5 0 ~ 1 0 0 0 ° C 、好ましくは 8 0 0 ° C 程度の高温まで昇温して、さらに 3 0 分程度の熱処理を行なう。4 5 0 ° C 未満の場合には、P S Z 膜を十分に S i O ₂ 膜に変換することが困難となる。一方、1 0 0 0 ° C を越えると結晶に欠陥が生じるおそれがある。

【 0 0 4 4 】

2 段階の B O X 酸化法は、P S Z 膜の S i O ₂ 膜への変換に特に有効である。S i O ₂ 膜への変換が始まる温度 (例えば 4 0 0 ° C 程度の温度) で、一定の時間保持することが重要である。高温側へ連続して昇温させると、変換が十分に進行する前に P S Z 膜の収縮が起こり、S i O ₂ 膜への変換が進みにくくなる傾向がある。また、P S Z 膜を S i O ₂ 膜に効率よく変換するために、水素燃焼酸化による高濃度の水蒸気を用いて水蒸気雰囲気を形成することが望まれる。

【 0 0 4 5 】

次に、図 5 (e) に示すように、酸化性雰囲気または窒素等の不活性ガス雰囲気中、8 0 0 ° C ~ 1 1 0 0 ° C 、例えば 9 0 0 ° C 程度で 3 0 分程度の熱処理を行なう。この熱処理によって、S i O ₂ 膜 3 6 に残留している N H ₃ や H ₂ O が放出されて、S i O ₂ 膜 3 6 が緻密化する。その結果、S i O ₂ 膜 3 6 より密度の高い S i O ₂ 膜 3 7 が得られ、膜のリーク電流を低減することができる。8 0 0 ° C 未満の場合には、こうした効果を十分に得ることができない。一方、1 0 0 0 ° C を越えると、結晶欠陥を発生させるおそれがある。酸素雰囲気中であれば、膜中の炭素 (C) 等の不純物濃度を低減することができる。また、リーク電流や膜とシリコン基板との界面における固定電荷が低減される。一方、窒素ガス等の不活性ガス雰囲気で行なうと、S T I 溝 3 3 中のシリコン側面の酸化を抑えることができる。この場合には、素子幅の減少 (すなわち S T I 幅の増加) を抑えることがで

きる。

【 0 0 4 6 】

緻密化処理中も、素子形成領域は Si_3N_4 膜 3 2 で覆われているため、シリコン基板 3 0 の表面は酸化性雰囲気においても酸化されることがない。 SiO_2 膜 3 6 の緻密化処理には、通常の炉による熱処理以外に RTA (Rapid Thermal Annealing) や RTO (Rapid Thermal Oxidation) を用いてもよい。RTA の場合は、より高温、例えば 950°C で 2 0 秒程度の熱処理を行なうことができる。

【 0 0 4 7 】

次に、 Si_3N_4 膜 3 2 および SiO_2 膜 3 1 を除去して、図 5 (f) に示すようにシリコン基板 3 0 の表面を露出させる。 SiO_2 膜 3 7 は、緩衝化フッ酸 (バッファード HF) によるウェットエッチングレートが、熱酸化膜の 1. 4 倍程度である。BOX 酸化直後の SiO_2 膜 3 6 のウェットエッチングレートは、熱酸化膜の 2 ~ 2. 5 倍であったので、 SiO_2 膜 3 7 の熱酸化膜に対するウェットエッチングレートは低減されたことになる。このため、 SiO_2 膜 3 1 を除去する際にも、STI 溝 3 3 上部の SiO_2 膜 3 7 が過剰にエッチングされることがない。その結果、図示するように、シリコン基板 3 0 表面より上部にわずかに突出した SiO_2 膜 3 8 が埋め込まれた STI 構造が得られる。

【 0 0 4 8 】

この後、犠牲酸化膜の形成、チャネルイオン注入、犠牲酸化膜除去、ゲート絶縁膜の形成、ゲート電極の形成、ソース/ドレイン拡散層の形成、層間絶縁膜の形成、コンタクト形成、配線層の形成、パッシベーション膜の形成、パッド形成などを経て MOS トランジスタが完成する。

【 0 0 4 9 】

第 1 の実施形態にかかる半導体装置の製造方法によれば、PSZ 膜を用いて窪みや高さの変動など形状劣化のない STI 構造を有する半導体装置を形成することができる。特に、マスク部材上の PSZ 膜を除去して PSZ 膜を STI 溝内に選択的に残置し、STI 溝底部からの PSZ 膜表面までの距離を低減した後に、BOX 酸化により PSZ 膜を SiO_2 膜に変換している。このため、溝幅が 1 0

0 nm 程度以下の狭い S T I 溝においても、S T I 溝内の P S Z 膜を完全に S i O₂ 膜に変換することができる。したがって、劣化が低減された形状の素子分離構造を S T I 溝内に形成することができる。

【 0 0 5 0 】

また、P S Z 膜を薄膜化することによって、S T I 溝中における P S Z 膜の S i O₂ 膜への変換効率が向上するとともに、S i O₂ 膜の緻密化が促進される。その結果、熱酸化膜に対するエッチングレートを十分に低減することができる。また、S T I 形成後のプロセスで繰り返されるシリコン基板表面の酸化工程や酸化膜除去などの工程においても、良好な形状の S T I 構造を維持して素子分離が実現できる。さらに、リーク電流の低減や S T I 溝底における固定電荷が低減され、製品の歩留まりを向上することができる。

【 0 0 5 1 】

(第 2 の実施形態)

図 6 を参照して、第 2 の実施形態に係る半導体装置の製造方法を説明する。本実施の形態は、S i O₂ 膜の緻密化工程のみが第 1 の実施形態とは異なる。図 3 (a) の S T I 溝 3 3 形成から、図 4 (d) で示される P S Z 膜の S i O₂ 膜 3 6 への変換までの工程は実施形態 1 と同様である。したがって、第 1 の実施形態と異なる工程のみを以下に説明する。

【 0 0 5 2 】

本実施の形態では、図 6 (a) に示すように、S i O₂ 膜 3 6 を緻密な S i O₂ 膜 3 7 に変換させる前に、マスク部材としての S i₃N₄ 膜 3 2 を除去する。すなわち、S i O₂ 膜 3 6 の側面も露出させた後、酸化性雰囲気または不活性ガス雰囲気中で緻密化処理を行なって、緻密な S i O₂ 膜 3 7 b を形成する。S i O₂ 膜 3 6 の側面からも N H₃ や H₂O が放出されるため、S i O₂ 膜の緻密化が促進される。

【 0 0 5 3 】

その結果、S i O₂ 膜 3 1 を除去する際には、S i O₂ 膜 3 7 b は過剰にエッチングされることがなく、図 6 (b) に示すように所望の形状で埋め込まれた S T I 構造 3 8 b が得られる。

【 0 0 5 4 】

第 2 の実施形態にかかる半導体装置の製造方法によっても、P S Z 膜を用いて S T I 溝に埋め込み良好な形状の S T I 構造を形成することができる。特に、P S Z 膜を薄膜化して S i O₂ 膜に変換した後、S i O₂ 膜の側面を露出させて緻密化処理が行なわれる。これにより、1 0 0 n m 程度以下と S T I 溝幅が狭い領域においても、S i O₂ 膜の側面の領域からも S i O₂ 膜の緻密化が促進される。その結果、熱酸化膜に対するエッチングレートが十分に低減される。こうして、S T I 構造の形成後のプロセスにおいても、良好な形状の S T I 構造を維持することができ、製品の歩留まりを向上することができる。

【 0 0 5 5 】

以上、塗布型絶縁膜として P S Z 膜を用いて説明したが、塗布後に熱処理を施して絶縁膜に変化し得る他の塗布膜を用いることもできる。

【 0 0 5 6 】

また、素子分離用溝あるいは配線部のような段差を有する半導体基板上に、S T P 法により P S Z 膜のような誘電体膜を形成してもよい。ここで、図 7 を参照して S T P 法について説明する。

【 0 0 5 7 】

まず、図 7 (a) に、ベースフィルム 4 0 上に誘電体膜 4 1 を剥離可能に塗布形成する。誘電体膜 4 1 としては、例えば上述したような P S Z 膜を用いることができる。この誘電体膜 4 1 を、配線部からなる段差 4 3 を有するシリコン基板 4 2 の表面に、図 7 (b) に示すように熱をかけながら圧着する。配線部上には、絶縁膜（図示せず）が段差を反映して形成されていてもよい。また、シリコン基板 4 2 における段差は、素子分離用溝あるいは電極に起因するものでもよい。その後、図 7 (c) に示すようにベースフィルム 4 0 を剥離する。これによって、図 7 (d) に示すように、平坦な表面をもって段差 4 3 上に埋め込まれた誘電体膜 4 1 を形成することができる。段差 4 3 上における誘電体膜 4 1 の厚みは、ベースフィルム 4 0 上に形成する誘電体膜の厚みによって任意に制御することができる。

【 0 0 5 8 】

図 8 乃至図 9 を参照して、第 3 の実施形態に係る半導体装置の製造方法を説明する。これらの図面は、図 1 の点線部に対応した 1 0 0 n m 程度以下の狭い S T I 領域 3 3 a と、S T I 幅が 1 0 0 n m より大きい領域 3 3 b との 2 つの S T I 領域を示している。

【 0 0 5 9 】

まず、図 8 (a) に示すように、シリコン基板等の半導体基板 3 0 の表面に SiO_2 膜 3 1 を介してマスク部材としての Si_3N_4 膜 3 2 を形成し、S T I 溝 3 3 をシリコン基板 3 0 に形成する。ここでは、実施形態 1 においてすでに説明したような手法により、同様の膜厚で各膜を形成することができる。また、S T I 溝 3 3 も、実施形態 1 の場合と同様の幅や深さで、同様の方法により形成することができる。

【 0 0 6 0 】

さらに、実施形態 1 と同様の手法により S T I 溝 3 3 a , 3 3 b の側面に熱酸化膜 3 4 を形成した後、 Si_3N_4 膜 3 2 を選択的に 1 0 n m 程度横方向に後退させる。

【 0 0 6 1 】

次に、S T P 法を用いて、図 8 (b) に示すように S T I 溝 3 3 に誘電体膜 3 5 を平坦に埋め込む。例えば、 Si_3N_4 膜 3 2 上で 1 0 0 n m 程度の膜厚になるように P S Z 膜 3 5 を堆積する。なお、P S Z 膜は、ベースフィルムに塗布する塗布装置において 1 5 0 ° C 程度で 3 分程度のベーキングを行なって、溶媒を揮発させておく。

【 0 0 6 2 】

Si_3N_4 膜 3 2 の膜厚は、堆積当初の 2 0 0 n m から 1 9 0 n m 程度に減少しているので、P S Z 膜 3 5 の表面から S T I 溝の溝底までの距離は、5 9 0 n m 程度となる。S T P 法による埋め込み特性は良好であり、1 0 0 n m 程度の細い S T I 溝幅への空孔なしで埋め込むことができる。また、S T I 幅が広い領域へも同時に平坦に埋め込むことができる。

【 0 0 6 3 】

S T P 法により P S Z 膜を堆積することによって、S T I 溝 3 3 底から P S Z

膜 3 5 表面までの距離 D は、590 nm 程度と非常に短い距離となる。すなわち、STI 溝 3 3 底から PSZ 膜 3 5 表面までの距離 D は、従来の方法におけるマスク上の領域の膜厚に相当することになる。あるいは、距離 D は、十分に広い STI 溝幅部における PSZ 膜の膜厚程度に相当するともいえる。

【 0 0 6 4 】

次に、図 8 (c) に示すように、水蒸気雰囲気中で、例えば 800℃ の BOX 酸化を 30 分程度行なうことによって、PSZ 膜 3 5 は SiO_2 膜 3 6 に変換する。ここでの反応は、すでに説明した化学式 (1) によって表わされる。

【 0 0 6 5 】

800℃ で 30 分間程度の BOX 酸化を行なうことによって、PSZ 膜 3 5 における Si-N 結合は Si-O 結合へと変換される。その結果、STI 溝 3 3 に埋め込まれた PSZ 膜 3 5 を、溝底まで完全に SiO_2 膜 3 6 へ変換することができる。

【 0 0 6 6 】

すでに説明したように、2 段階 BOX 酸化法を用いることによって、Si-O 結合への変換効率をさらに向上させることができる。この場合には、まず、第 1 ステップとして水蒸気を含む雰囲気中、200℃～450℃ で 30 分～60 分程度保持する。この際の温度は、好ましくは 350℃～450℃ である。その後、第 2 ステップとして水蒸気雰囲気を維持しつつ 450℃～1000℃、好ましくは 700℃～800℃ の高温まで昇温して、さらに 30 分程度の熱処理を行なう。これによって、PSZ 膜中に残留しているカーボン (C) などの不純物を取り除くこともできる。

【 0 0 6 7 】

2 段階の BOX 酸化法は、PSZ 膜の SiO_2 膜への変換に特に有効である。 SiO_2 膜への変換が始まる温度 (例えば 400℃ 程度の温度) で、一定の時間保持することが重要である。高温側へ一気に昇温させると、Si-O 結合への変換が十分に進行する前に PSZ 膜の収縮が起こり、 SiO_2 膜への変換が進みにくくなる。PSZ 膜を SiO_2 膜に効率よく変換するために、水素燃焼酸化による高濃度の水蒸気を用いて水蒸気雰囲気を形成することが望まれる。雰囲気にお

ける水分濃度は、80%以上であることが好ましい。

【0068】

次に、図9（d）に示すように、酸化性雰囲気、または窒素等の不活性ガス雰囲気中、800～1000℃、例えば900℃程度で30分程度の熱処理を行なう。この熱処理によって、 SiO_2 膜36中に残留している NH_3 や H_2O が放出されて、 SiO_2 膜36が緻密化する。その結果、 SiO_2 膜36より密度の高い SiO_2 膜37が得られ、膜のリーク電流を低減することができる。酸素雰囲気中であれば、膜中の炭素（C）等の不純物濃度をさらに低減することができる。また、リーク電流や膜とシリコン基板との界面における固定電荷が低減される。一方、窒素ガス等の不活性ガス雰囲気中に行なうと、STI溝33中のシリコン側面の酸化を抑えることができる。この場合には、素子幅の減少（すなわちSTI幅の増加）を抑えることができる。

【0069】

緻密化処理中も、素子形成領域は Si_3N_4 膜32で覆われているため、シリコン基板30の表面は酸化性雰囲気中で酸化されることはない。すでに説明したように、RTAやRTOにより SiO_2 膜36の緻密化処理を行なうこともできる。

【0070】

さらに、STIの高さを調整するため、図9（e）に示すように、 SiO_2 膜37をエッチバックしてSTI溝部に SiO_2 膜37を形成する。エッチバックは、ドライ・エッチング、ウェット・エッチング、または全面CMPとウェットエッチングとの組み合わせ等により行なうことができる。STIの高さは、後の工程でのウェットエッチングの回数によって決定される。例えば、 SiO_2 膜32のエッチング、チャネルイオン注入時の犠牲酸化膜エッチング等、エッチング工程の回数によってSTI高さを調整することができる。ここでは、 SiO_2 膜37の表面がシリコン基板30の表面から40nm程度になるように、STI高さを調整した。

【0071】

次に、 Si_3N_4 膜32および SiO_2 膜31を除去して、図9（f）に示すよ

うにシリコン基板 30 の表面を露出させる。SiO₂膜 37 は、緩衝化フッ酸（バッファード HF）によるウェットエッチングレートが、熱酸化膜の 1.4 倍程度である。BOX 酸化直後の SiO₂膜 36 のウェットエッチングレートは、熱酸化膜の 2～2.5 倍であったので、SiO₂膜 37 の熱酸化膜に対するウェットエッチングレートは低減されたことになる。このため、SiO₂膜 31 を除去する際にも、STI 溝 33 上部の SiO₂膜 37 が過剰にエッチングされることがない。その結果、図示するように、シリコン基板 30 表面より上部にわずかに突出した SiO₂膜 38 が埋め込まれた STI 構造が得られる。

【0072】

この後、犠牲酸化膜の形成、チャネルイオン注入、犠牲酸化膜除去、ゲート絶縁膜の形成、ゲート電極の形成、ソース／ドレイン拡散層の形成、層間絶縁膜の形成、コンタクト形成、配線層の形成、パッシベーション膜の形成、パッド形成などを経て MOS トランジスタが完成する。

【0073】

第 3 の実施形態にかかる半導体装置の製造方法によれば、PSZ 膜を用いて窪みや高さの変動など形状劣化のない STI 構造を有する半導体装置を形成することができる。特に、STI 幅が 1 μm 以上の広い溝幅のみならず、STI 溝幅が 100 nm 程度以下の狭い溝幅においても、PSZ 膜をウェーハ全面に薄く均一に成膜することができる。このため、STI 溝内の PSZ 膜を完全に SiO₂膜に変換できる。したがって、STI 溝幅によらず STI 溝内に形状劣化のない素子分離構造が実現できる。

【0074】

また、PSZ 膜を薄膜化することによって、STI 溝中における PSZ 膜の SiO₂膜への変換効率が向上するとともに、SiO₂膜の緻密化が促進される。その結果、熱酸化膜に対するエッチングレートを十分に低減することができる。また、STI 形成後のプロセスで繰り返されるシリコン基板表面の酸化工程や酸化膜除去などの工程においても、良好な形状の STI 構造を維持して素子分離が実現できる。さらに、リーク電流の低減や STI 溝底における固定電荷が低減され、製品の歩留まりを向上することができる。

【 0 0 7 5 】

(第 4 の実施形態)

図 1 0 を参照して、第 4 の実施形態に係る半導体装置の製造方法を説明する。本実施の形態は、 SiO_2 膜の緻密化工程のみが第 3 の実施形態とは異なる。図 8 (a) の STI 溝 3 3 形成から、図 8 (c) で示される PSZ 膜の SiO_2 膜 3 6 への変換までの工程は実施形態 3 と同様である。したがって、第 3 の実施形態と異なる工程のみを以下に説明する。

【 0 0 7 6 】

本実施の形態では、図 1 0 (a) に示すように、 SiO_2 膜 3 6 を緻密な SiO_2 膜 3 7 に変換させる前に、マスク部材としての Si_3N_4 膜 3 2 を除去する。すなわち、 SiO_2 膜 3 6 の側面も露出させた後、酸化性雰囲気または不活性ガス雰囲気中で緻密化処理を行なって、緻密な SiO_2 膜 3 7 b を形成する。 SiO_2 膜 3 6 の側面からも NH_3 や H_2O が効率よく放出されるため、 SiO_2 膜の緻密化が促進される。

【 0 0 7 7 】

このため、 SiO_2 膜 3 1 を除去する際には、 SiO_2 膜 3 7 b は過剰にエッチングされることがなく、図 1 0 (b) に示すように所望の形状で埋め込まれた STI 構造 3 8 b が得られる。

【 0 0 7 8 】

第 4 の実施形態にかかる半導体装置の製造方法によっても、PSZ 膜を用いて STI 溝に埋め込み良好な形状の STI 構造を形成することができる。特に、PSZ 膜を薄膜化して SiO_2 膜に変換した後、 SiO_2 膜の側面を露出させて緻密化処理が行なわれる。これにより、100nm 程度以下と STI 溝幅が狭い領域においても、 SiO_2 膜の側面の領域からも SiO_2 膜の緻密化が促進される。その結果、熱酸化膜に対するエッチングレートが十分に低減される。こうして、STI 構造の形成後のプロセスにおいても、良好な形状の STI 構造を維持することができ、製品の歩留まりを向上することができる。

【 0 0 7 9 】

(第 5 の実施形態)

図 1 1 乃至図 1 2 を参照して、第 5 の実施形態に係る半導体装置の製造方法を説明する。本実施形態は、PMD (Pre-Metal Dielectric) 構造を形成する方法である。

【0080】

まず、図 1 1 (a) に示すように、シリコン基板 5 1 上にゲート電極 5 2 を形成し、これを SiO_2 膜や Si_3N_4 膜からなる層間絶縁膜 5 3 で覆う。層間絶縁膜 5 3 の表面には、ゲート電極 5 2 に起因した段差が生じる。

【0081】

こうした段差を有する層間絶縁膜 5 3 上には、図 1 1 (b) に示すように STP 法を用いて誘電体膜 5 4 を形成する。これによって、ゲート電極 5 2 に起因した段差は、平坦な表面を有する誘電体膜 5 4 で埋め込まれる。

【0082】

なお、図 1 1 (c) に示すように誘電体膜 5 4 P の表面に多少の段差が残っても問題ない場合には、塗布法により誘電体膜 5 4 P を形成してもよい。

【0083】

STP 法により誘電体膜 5 4 を形成するに当たっては、例えば、ゲート電極 5 2 上に形成された層間絶縁膜 5 3 上において 200 nm 程度の膜厚となるように、誘電体膜 5 4 としての PSZ 膜を堆積する。PSZ 膜は、ベースフィルムに塗布する塗布装置において 150℃ 程度 3 分程度のベーキングを行なって、溶媒を揮発させておく。

【0084】

ゲート電極 5 2 に起因して層間絶縁膜 5 3 表面に生じる段差は、層間絶縁膜 5 3 のカバレッジを考慮しても 300 nm 程度である。したがって、PSZ 膜 5 4 表面から層間絶縁膜 5 3 表面までの距離は、最大で 500 nm 程度となる。STP 法による埋め込み特性は良好であり、幅 100 nm 程度の細い STI 溝へ空孔なしで埋め込むことができる。STP 法により平坦な PSZ 膜を形成することによって、層間絶縁膜 5 3 表面から PSZ 膜 5 4 表面までの最大距離は、500 nm 程度と非常に短くなる。すなわち、PSZ 膜は十分に薄く形成することができる。

【 0 0 8 5 】

次に、図 1 1 (d) に示すように、水蒸気雰囲気中で、例えば 6 0 0 ℃ の B O X 酸化を 3 0 分程度行なうことによって、5 0 0 n m 程度の膜厚の P S Z 膜 5 4 は S i O₂ 膜 5 5 に変換される。この際の反応は、すでに説明した化学式 (1) によって表わされる。ただし、層間絶縁膜 5 3 の下層にあるゲート電極などが酸化されないように、この熱処理は十分に低温 (6 0 0 ℃ 以下) で行なうことが望まれる。

【 0 0 8 6 】

6 0 0 ℃ で 3 0 分間程度 B O X 酸化を行なうことによって、P S Z 膜 5 4 における S i - N 結合は S i - O 結合へと変換される。その結果、ゲート電極に起因した段差に埋め込まれた P S Z 膜 5 4 を、S i O₂ 膜 5 5 へ完全に変換することができる。

【 0 0 8 7 】

すでに説明したように、2 段階 B O X 酸化法を用いることによって、S i - O 結合への変換効率をさらに向上させることができる。この場合には、まず、水蒸気を含む雰囲気中、2 0 0 ~ 4 5 0 ℃ で 3 0 ~ 6 0 分程度保持する。この際の温度は、好ましくは 3 5 0 ~ 4 5 0 ℃ である。その後、水蒸気雰囲気を維持しつつ 5 0 0 ~ 6 0 0 ℃ 程度に昇温して、さらに 3 0 分程度の熱処理を行なう。これによって、P S Z 膜中に残留している不純物、特にカーボン (C) や窒素 (N) などを取り除くことができる。雰囲気における水分濃度は、8 0 % 以上であることが望まれる。

【 0 0 8 8 】

P S Z 膜 5 4 の 2 段階 B O X 酸化によって、S i O₂ 膜 5 5 への変換が進行する。こうして形成された S i O₂ 膜 5 5 のウェットエッチングレートは、熱酸化膜の約 2 倍程度となる。なお、低温で形成されたプラズマ S i O₂ 膜などのウェットエッチングレートは、熱酸化膜の 4 倍程度である。したがって、こうしたプラズマ S i O₂ 膜に比べて、S i O₂ 膜 5 5 は熱酸化膜に対するウェットエッチングレートを半分程度に低減することができた。

【 0 0 8 9 】

次に、図 1 2 (e) に示すように、耐湿性の高いプラズマ Si_3N_4 膜 5 6 を例えば 2 0 0 nm 程度堆積する。下地となる SiO_2 膜 5 5 が STP 法によって平坦に形成されているために、均一な薄いプラズマ Si_3N_4 膜 5 6 を形成することができる。

【 0 0 9 0 】

さらに、リソグラフィ法および R I E 法により、図 1 2 (f) に示すようにコンタクトホール 5 7 を形成する。

【 0 0 9 1 】

その後、図 1 2 (g) に示すように、配線層 5 8、および層間絶縁膜 5 9 を形成する。コンタクトの配線層形成の前処理（ウェットエッチング処理）においてもコンタクトホール側面の異常エッチングが抑えられるため、良好な形状のコンタクトを形成することができる。

【 0 0 9 2 】

第 5 の実施形態にかかる半導体装置の製造方法においては、P S Z 膜を用いて CMP を行なうことなく、PMD 用の平坦な層間絶縁膜を 6 0 0 °C 以下の低温工程で形成することができる。また、コンタクト形状も劣化しない層間絶縁膜を形成することが可能である。

【 0 0 9 3 】

(第 6 の実施形態)

図 1 3 を参照して、第 6 の実施形態に係る半導体装置の製造方法を説明する。本実施形態においては、平坦性のよいパッシベーション膜構造を形成する方法を示す。

【 0 0 9 4 】

まず、図 1 3 (a) に示すように、層間絶縁膜 6 1 上にメタル配線層 6 2 を形成し、その上に、プラズマ法により P - SiO_2 膜 6 3 を形成する。ここでは、Al からなるメタル配線層 6 2 を例に挙げて説明する。

【 0 0 9 5 】

メタル配線層 6 2 に起因した段差を有する P - SiO_2 膜 6 3 上には、STP 法を用いて図 1 3 (b) に示すように誘電体膜 6 4 を形成する。メタル配線層 6

2 に起因する段差には誘電体膜 6 4 が埋め込まれて、平坦な表面が得られる。

【 0 0 9 6 】

なお、誘電体膜 6 4 の表面に多少の段差が残っても問題ない場合には、塗布法により誘電体膜 6 4 を形成してもよい。

【 0 0 9 7 】

S T P 法により誘電体膜 6 4 を形成するに当たっては、例えばメタル配線層 6 2 上の層間絶縁膜 6 上において、1 0 0 ~ 2 0 0 n m 程度の膜厚となるように誘電体膜 6 4 としての P S Z 膜を形成する。P S Z 膜は、ベースフィルムに塗布する塗布装置において 1 5 0 ℃ 程度 3 分程度のベーキングを行なって、溶媒を揮発させておく。

【 0 0 9 8 】

メタル配線層 6 2 に起因した段差は、層間絶縁膜 6 3 のカバレッジを考慮しても 1 μ m 程度となる。P S Z 膜 6 4 の表面からプラズマ S i O₂ 膜 6 3 の表面までの距離は、最少で 2 0 0 n m 程度となり、最大では 1 2 0 0 n m 程度となる。S T P 法による埋め込み特性は良好であり、幅 1 0 0 n m 程度の細い溝へも空孔なしで埋め込むことができる。S T P 法によって、P S Z 膜 6 4 の成膜と平坦化とが同時に達成することができた。

【 0 0 9 9 】

次に、図 1 3 (c) に示すように、水蒸気雰囲気中で、例えば 4 0 0 ℃ の B O X 酸化を 6 0 分程度行なうことによって、厚さ 1 μ m 程度の P S Z 膜 6 4 は S i O₂ 膜 6 5 に変換される。P S Z 膜は S i O₂ 膜に変換される。

【 0 1 0 0 】

こうした B O X 酸化の際、下地の配線層 6 2 の表面がわずかに酸化される場合がある。特に配線層 6 2 が A l からなる場合には、水蒸気雰囲気中で 3 5 0 ℃ 以上の熱処理を行なうと、プラズマ S i O₂ 膜 6 3 を通して酸素が配線層 6 2 表面に達する。その結果、A l 配線層の表面にアルミナ (A l₂ O₃) 膜 6 6 が 5 n m 程度の膜厚で形成される。こうして生じたアルミナ層 6 6 は、均一性が非常に優れ、配線層 6 2 の周囲を覆うように形成される。このため、メタル配線層 6 2 の信頼性を著しく向上させることができる。

【 0 1 0 1 】

本実施形態においては、水蒸気を含む雰囲気中、 $200\sim400^{\circ}\text{C}$ で30～60分程度保持することによって、BOX酸化を行なうことができる。これによって、PSZ膜64におけるSi-N結合はSi-O結合へ変換される。水蒸気雰囲気中で酸化することによって、PSZ膜中に残留しているカーボン(C)や窒素(N)などの不純物を取り除くことができる。雰囲気中における水分濃度は、80%以上であることが望まれる。

【 0 1 0 2 】

PSZ膜64を 400°C 程度でBOX酸化することによって、 SiO_2 膜65への変換が進む。このようにして得られた SiO_2 膜65のウェットエッチングレートは、熱酸化膜の約2.5倍程度である。なお、従来のパッシベーション用プラズマ SiO_2 膜のウェットエッチングレートは、熱酸化膜の5倍程度である。したがって、こうしたプラズマ SiO_2 膜に比べて、 SiO_2 膜65は熱酸化膜に対するウェットエッチングレートを半分程度に低減することがきた。

【 0 1 0 3 】

その後、窒素雰囲気中、 400°C で30分程度のアニール処理を行なって SiO_2 膜65中の水分を除去してもよい。

【 0 1 0 4 】

次に、図13(d)に示すように、透湿性の低いプラズマ Si_3N_4 膜67を例えば200nm程度堆積する。下地となる SiO_2 膜65がSTP法によって平坦に形成されているために、均一で薄いプラズマ Si_3N_4 膜67を形成することができる。下地が平坦なため、SiN膜の形成にはスパッタリング法を採用することも可能である。これによって、プラズマのダメージを低減することができる。

【 0 1 0 5 】

さらに、リソグラフィ法およびRIE法により、図13(e)に示すようにヴィアホール68を形成する。ヴィアホール68内には、常法により導電体を埋め込んでヴィアおよび配線層等を形成して、半導体装置が完成する。

【 0 1 0 6 】

本実施形態の方法においては、得られる SiO_2 膜 65 表面の平坦性が優れているために、均一な薄いプラズマ Si_3N_4 膜 67 を、その上に形成することができる。このため、 Si_3N_4 膜によるストレスの異常分布による信頼性の低下は防止される。また、水分の浸入を防止するプラズマ Si_3N_4 膜が安定して形成されることから、信頼性が向上する。特に、Al 配線層の場合には、アルミナ膜がその周囲に形成されることによって、配線の信頼性を著しく向上させることができる。

【0107】

本発明は、上述した実施形態に限定されるものではなく、発明の要旨を逸脱しない範囲で種々変形して、実施できることは勿論である。

【0108】

【発明の効果】

以上詳述したように、本発明の一態様によれば、溝幅の大きさに拘わらず、素子分離溝内に埋め込まれる絶縁膜の窪み、高さの変動などによる素子分離構造の形状劣化を低減できる半導体装置の製造方法が提供される。また本発明の他の態様によれば、酸化膜と同等のウェットエッチングレートを有する PMD 膜を、低温で平坦に成膜可能な半導体装置の製造方法が提供される。本発明の他の態様によれば、カバレッジに優れ、プラズマダメージのないパッシベーション膜を形成可能な半導体装置の製造方法が提供される。

【0109】

本発明により、LSI 製品の歩留まりを向上することができ、その工業的価値は絶大である。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る STI 素子分離構造を用いた MOS トランジスタの平面図。

【図 2】 図 1 の A-A 線に沿って切断した STI 素子分離構造を用いた MOS トランジスタの断面図。

【図 3】 第 1 の実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 4】 第 1 の実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 5】 第 1 の実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 6】 第 2 の実施形態に係る半導体装置の製造方法の一部を示す工程断面図。

【図 7】 S T P 法を説明するための工程断面図。

【図 8】 第 3 の実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 9】 第 3 の実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 1 0】 第 4 の実施形態に係る半導体装置の製造方法を示す工程断面図

。

【図 1 1】 第 5 の実施形態に係る半導体装置の製造方法を示す工程断面図

。

【図 1 2】 第 5 の実施形態に係る半導体装置の製造方法を示す工程断面図

。

【図 1 3】 第 6 の実施形態に係る半導体装置の製造方法を示す工程断面図

。

【図 1 4】 従来の半導体装置の製造方法を示す工程断面図。

【図 1 5】 従来の半導体装置の製造方法を示す工程断面図。

【図 1 6】 従来の半導体装置の製造方法を示す工程断面図。

【図 1 7】 従来の半導体装置の製造方法を示す工程断面図。

【図 1 8】 従来の半導体装置の製造方法を示す工程断面図。

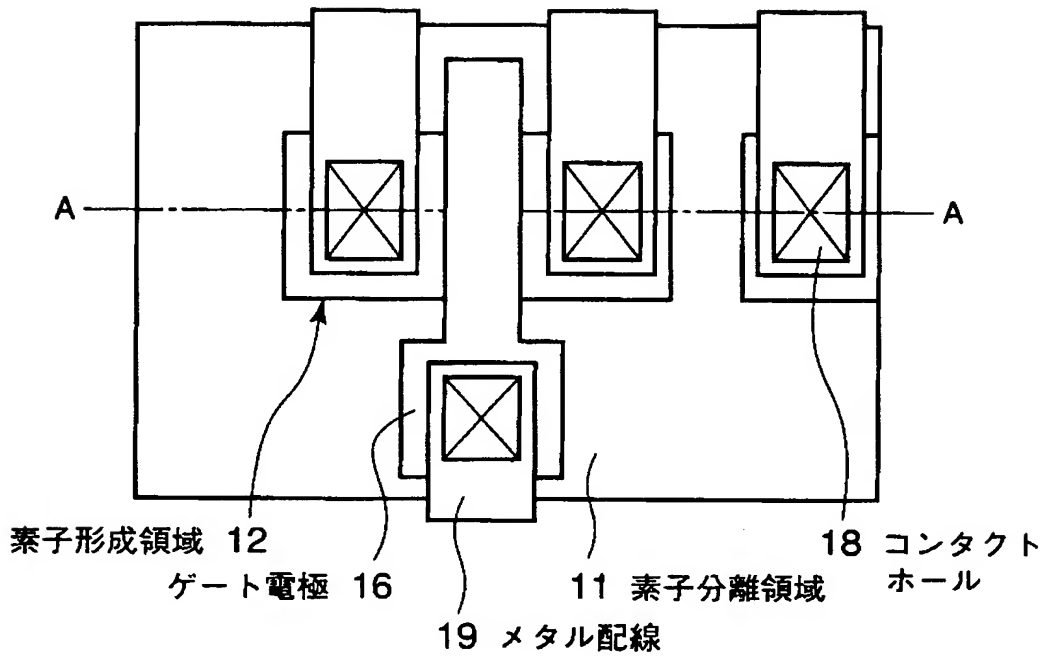
【符号の説明】

1 0 …シリコン基板, 1 1 …素子分離領域, 1 2 …素子形成領域, 1 3 …ソース領域, 1 4 …ドレイン領域, 1 5 …ゲート酸化膜, 1 6 …ゲート電極, 1 7 …層間絶縁膜, 1 8 …コンタクトホール, 1 9 …メタル配線, 2 0 …ソース電極, 2 1 …ドレイン電極, 3 0 …シリコン基板, 3 1 … SiO_2 膜, 3 2 … Si_3N_4 膜, 3 3 …S T I 溝, 3 4 …熱酸化膜, 3 5 …P S Z 膜, 3 6 … SiO_2 膜、3 7 …緻密化された SiO_2 膜、3 8 …S T I 溝中に埋め込まれた SiO_2 膜, 4 0 …ベースフィルム, 4 1 …誘電体膜, 4 2 …シリコン基板, 4 3 …配線部からなる段差, 5 1 …シリコン基板, 5 2 …ゲート電極, 5 3 …層間絶縁膜, 5 4 …誘電体膜, 5 4 P …誘電体膜, 5 5 … SiO_2 膜, 5 6 …プラズマ Si_3N_4 5 6 膜,

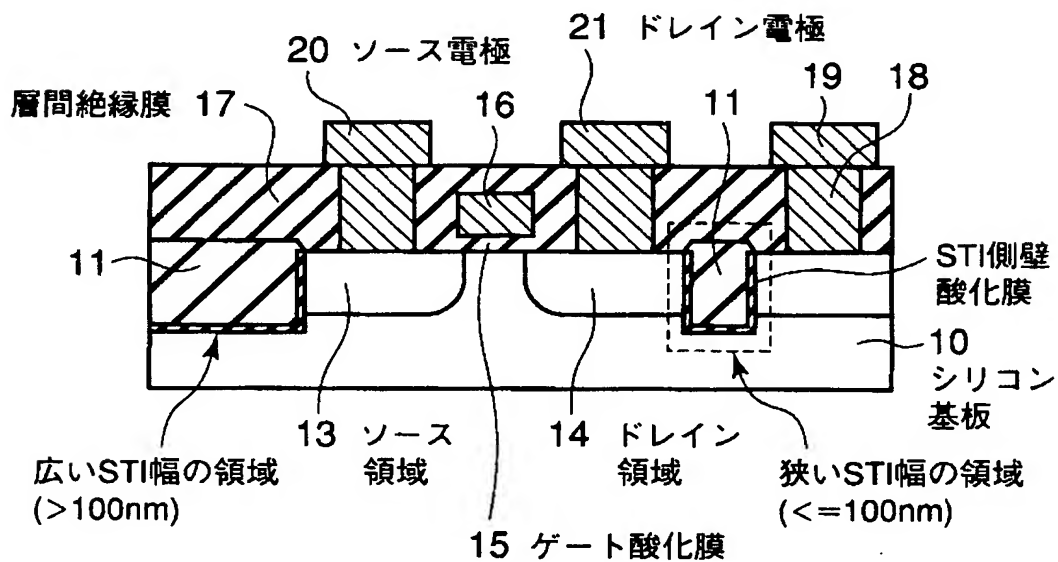
57…コンタクトホール, 58…配線層, 59…層間絶縁膜, 61…層間絶縁膜, 62…Al配線層, 63…P-SiO₂膜, 64…誘電体膜, 65…SiO₂膜, 66…アルミナ層, 67…Si₃N₄膜, 68…ビアホール, 100…シリコン基板, 101…SiO₂膜, 102…Si₃N₄膜, 103…STI溝, 105…PSZ膜, 105a…SiO₂膜への変換が不十分なPSZ膜, 106、107…SiO₂膜, 201…層間絶縁膜, 202…配線, 203…P-SiO₂膜, 204…P-SiN膜, 205…ビアホール, 206…SOG膜。

【書類名】 図面

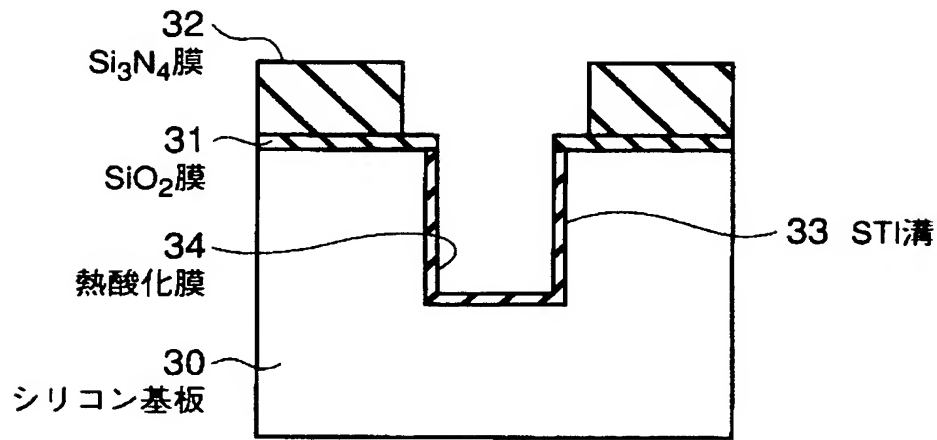
【図 1】



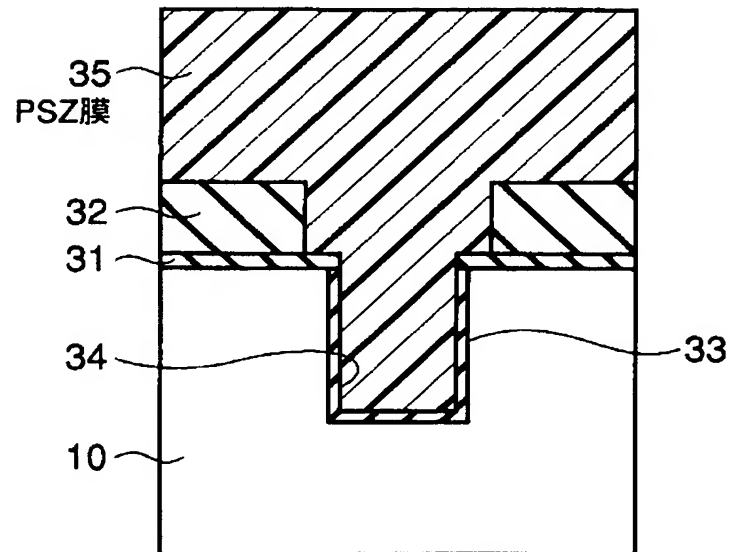
【図 2】



【図 3】

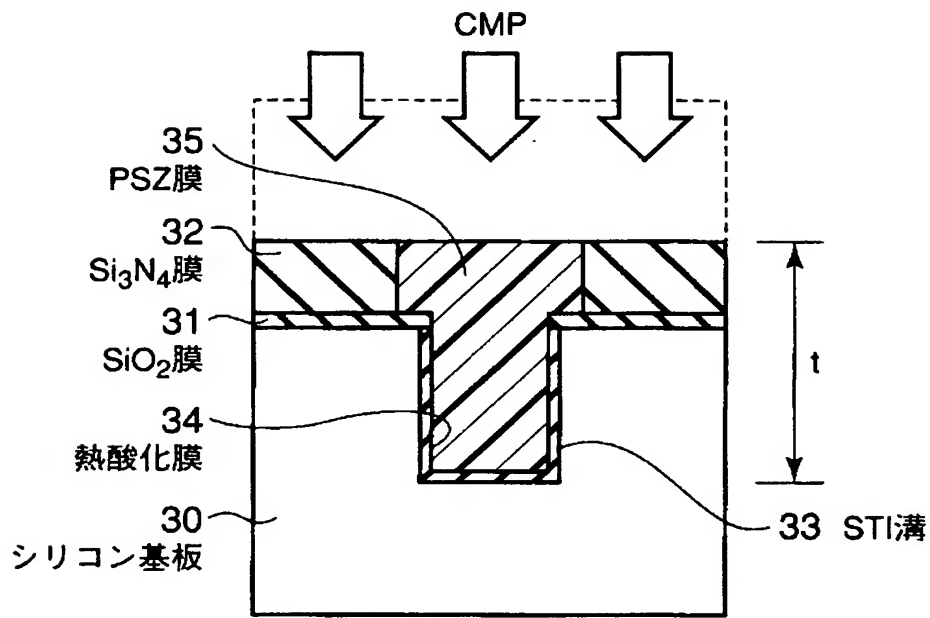


(a)

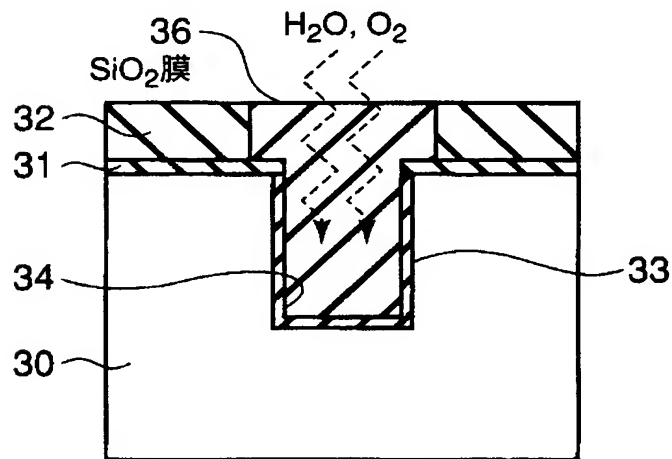


(b)

【図 4】

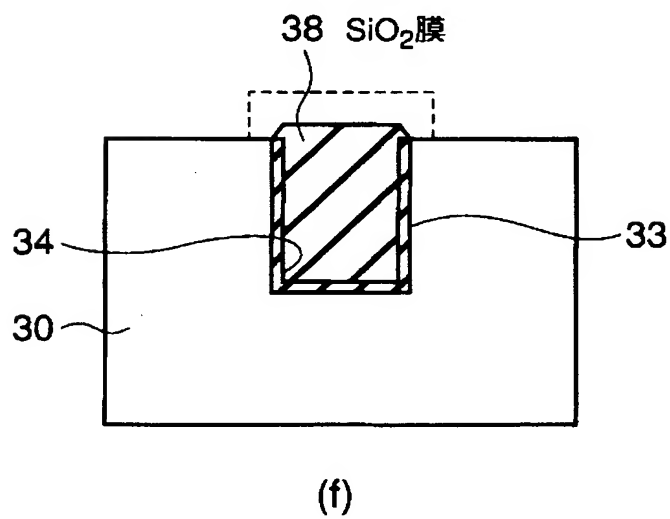
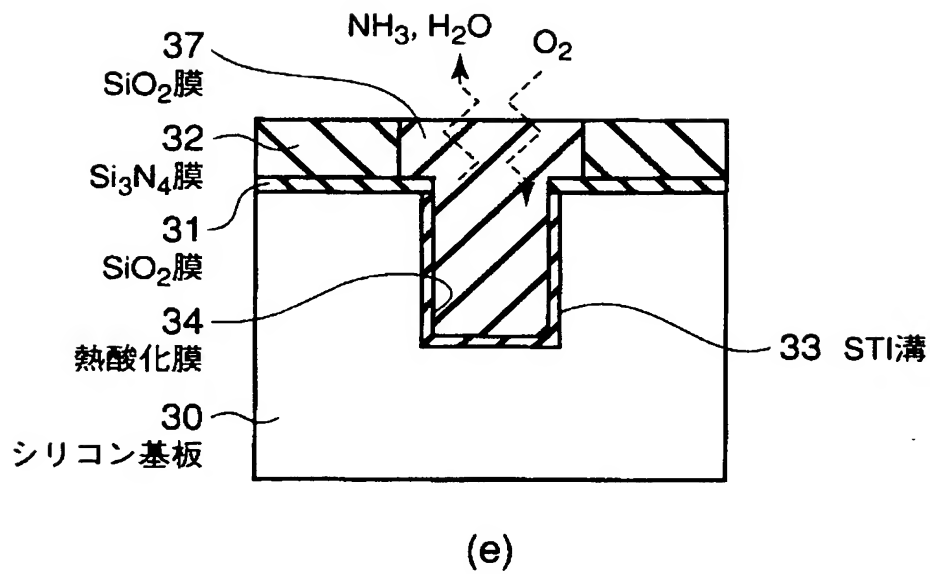


(c)

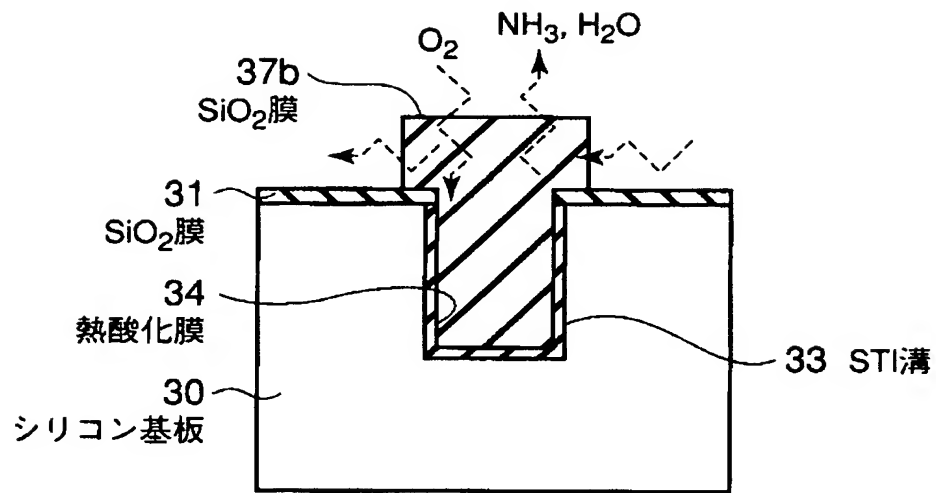


(d)

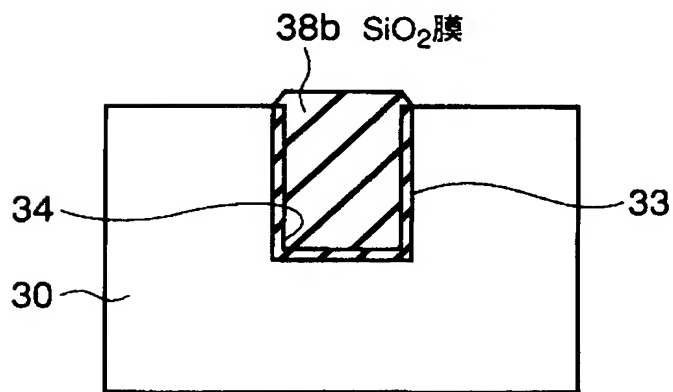
【図 5】



【図 6】

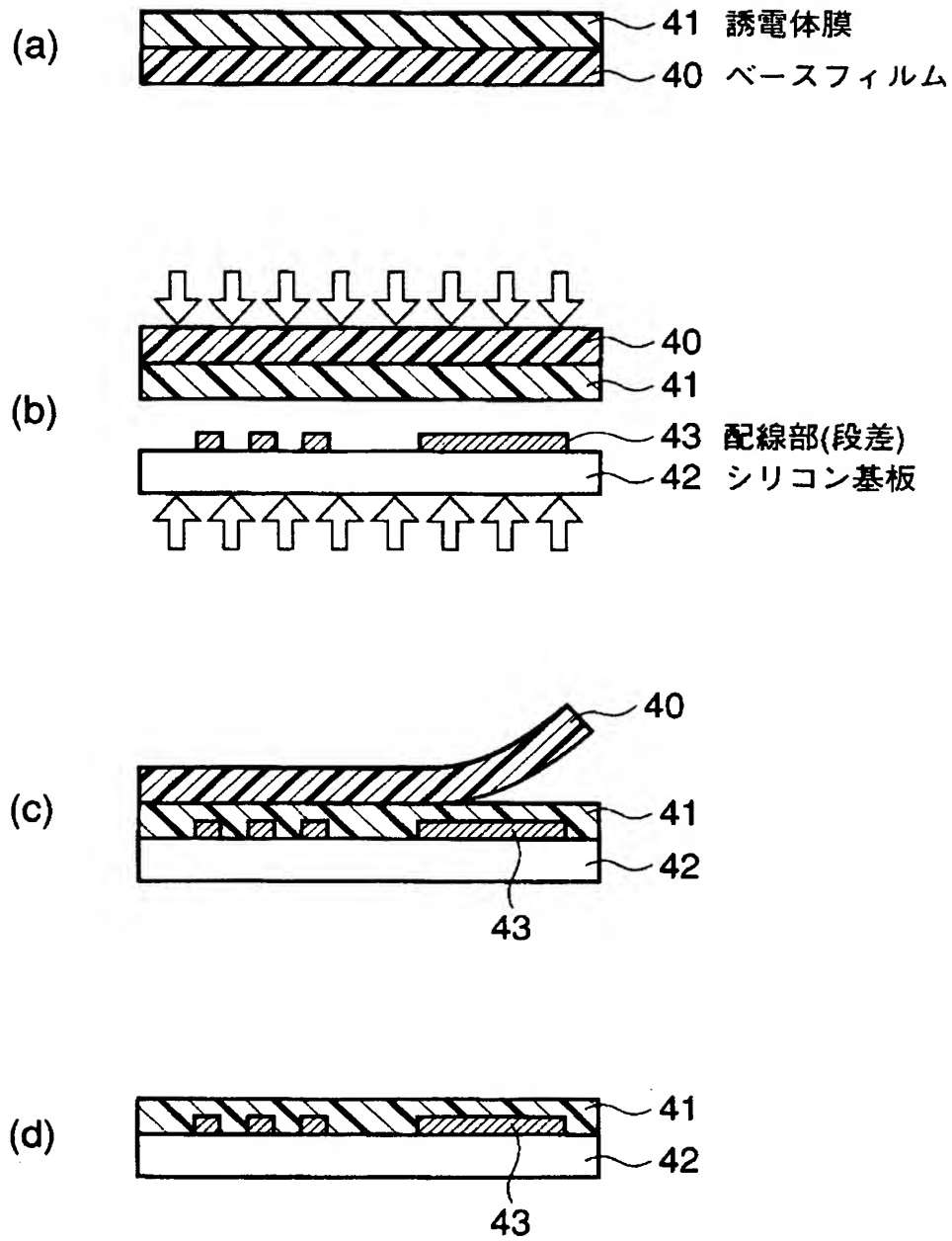


(a)

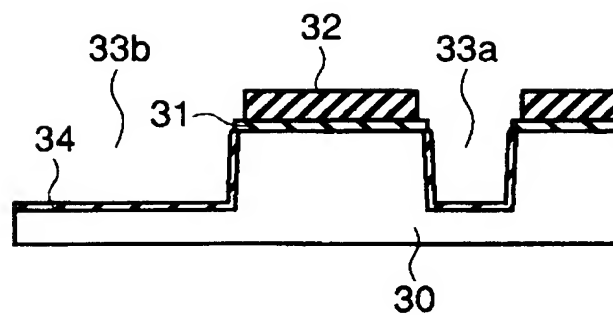


(b)

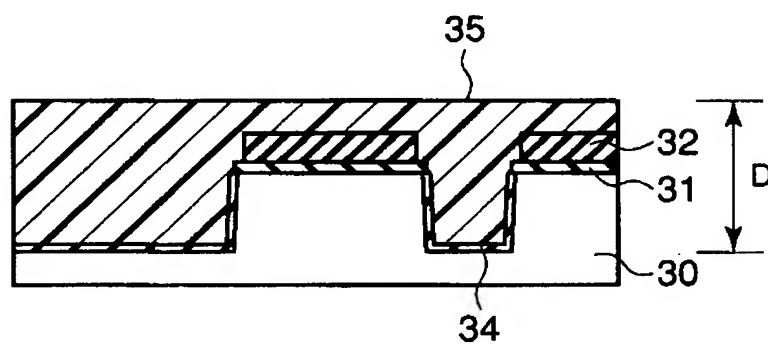
【図 7】



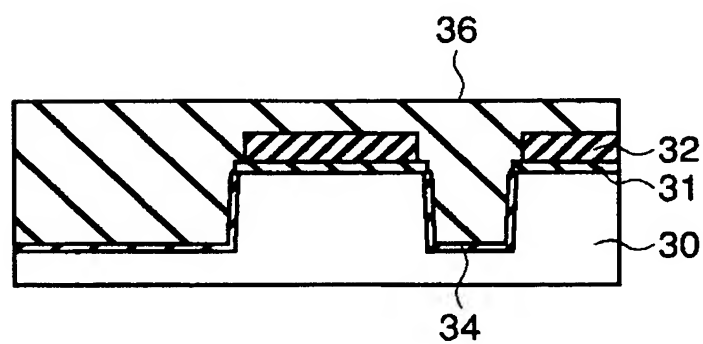
【図 8】



(a)

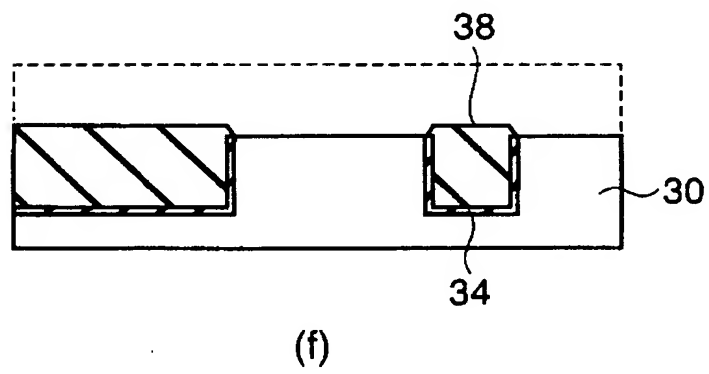
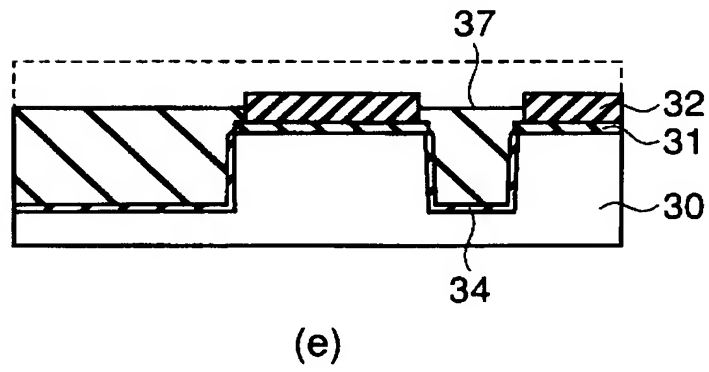
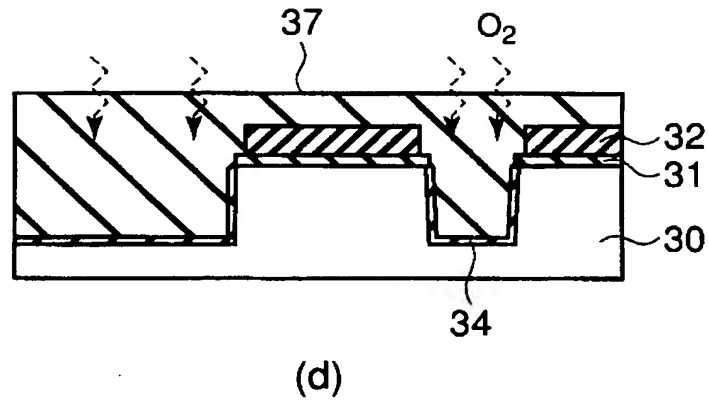


(b)

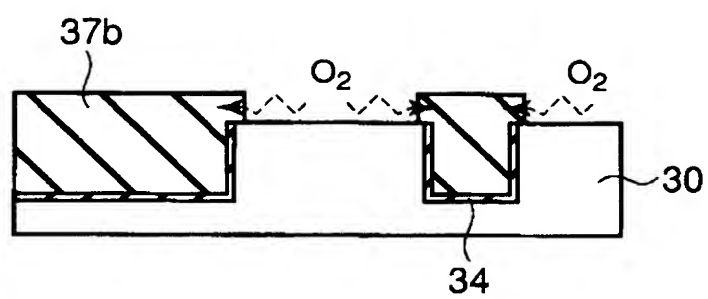


(c)

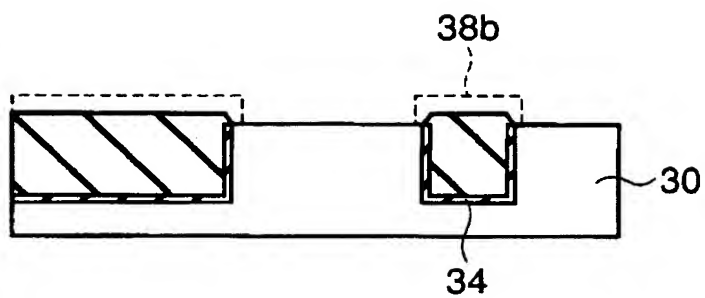
【図 9】



【図 1 0】

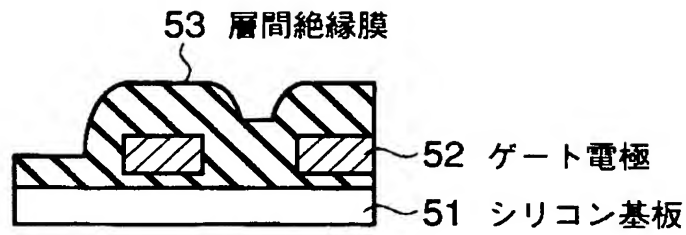


(a)

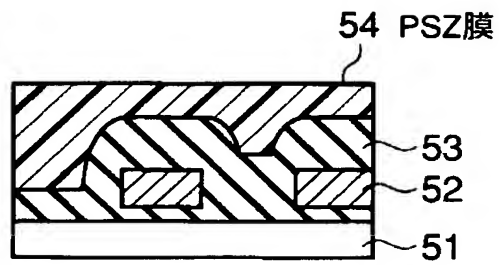


(b)

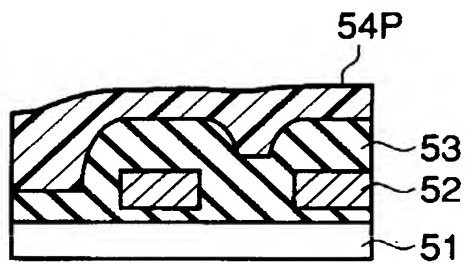
【図 1 1】



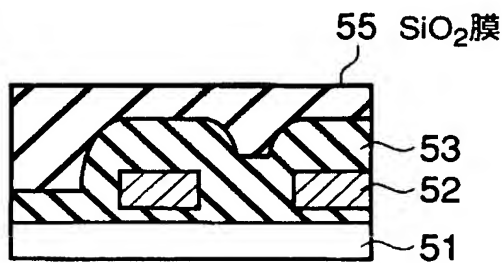
(a)



(b)

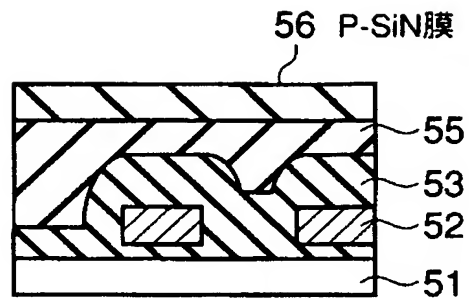


(c)

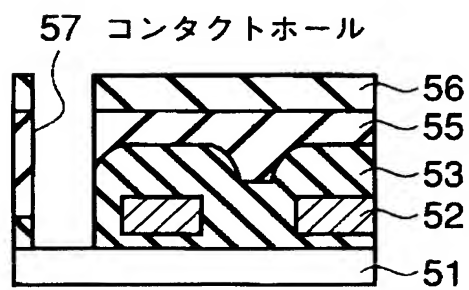


(d)

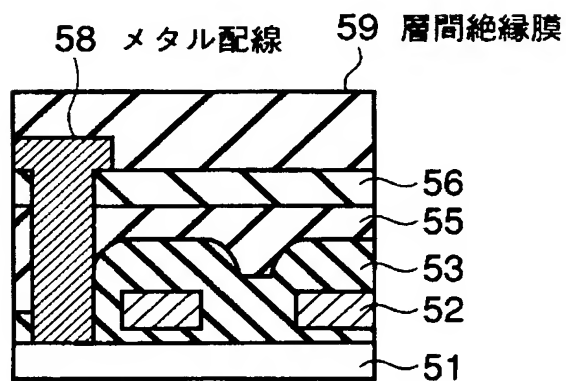
【図 1 2】



(e)

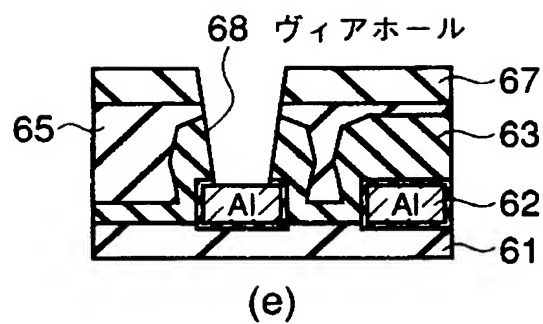
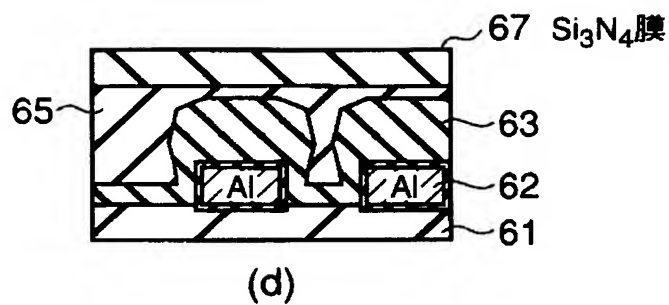
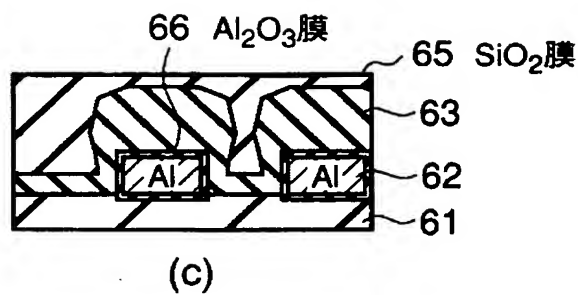
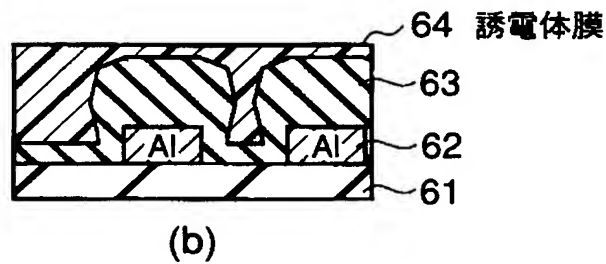
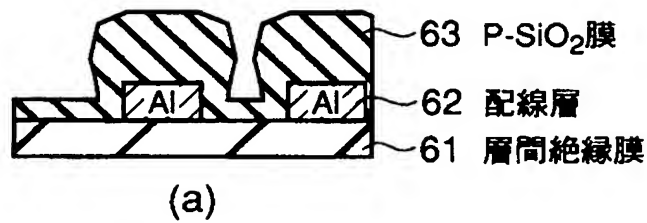


(f)

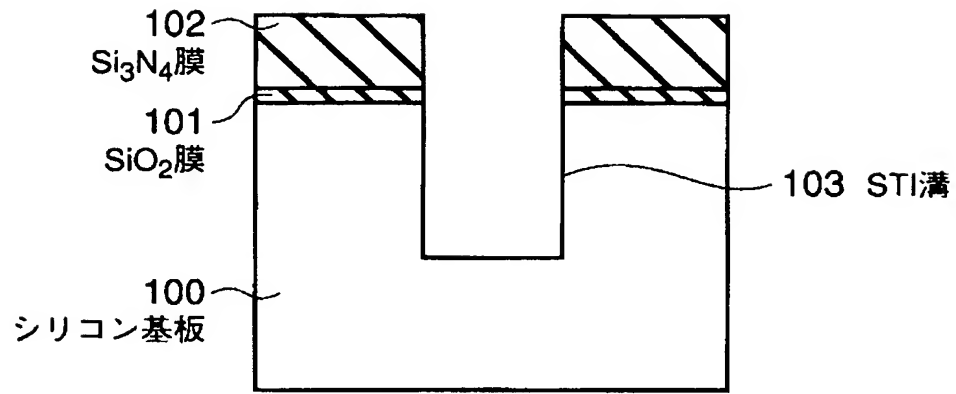


(g)

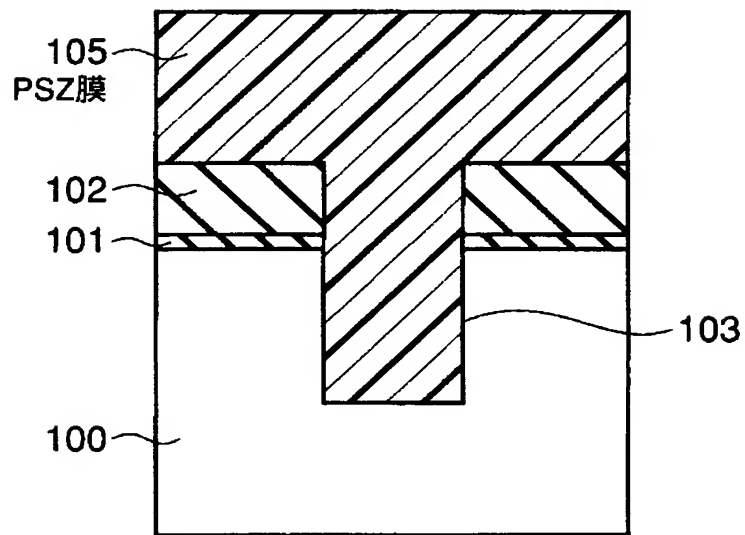
【図 1 3】



【図 1 4】

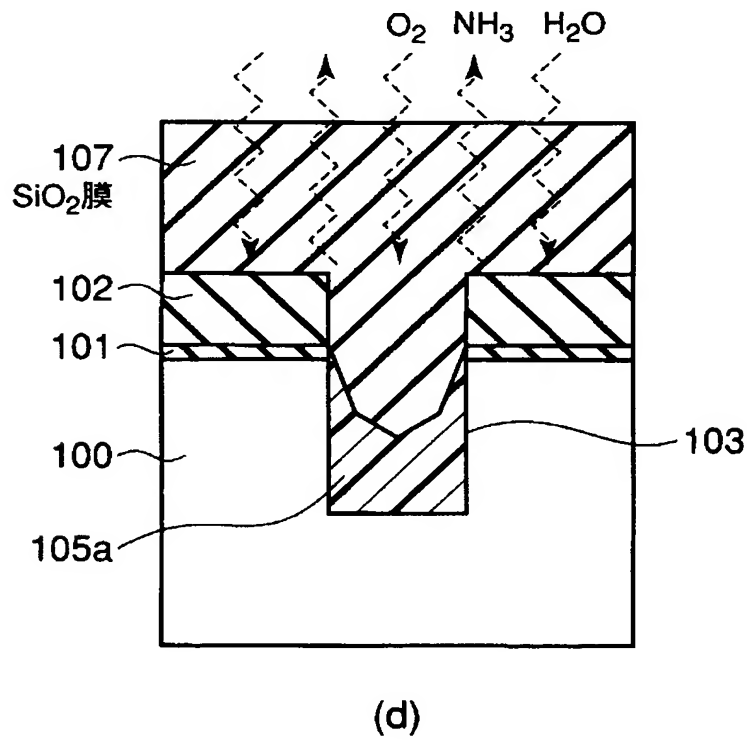
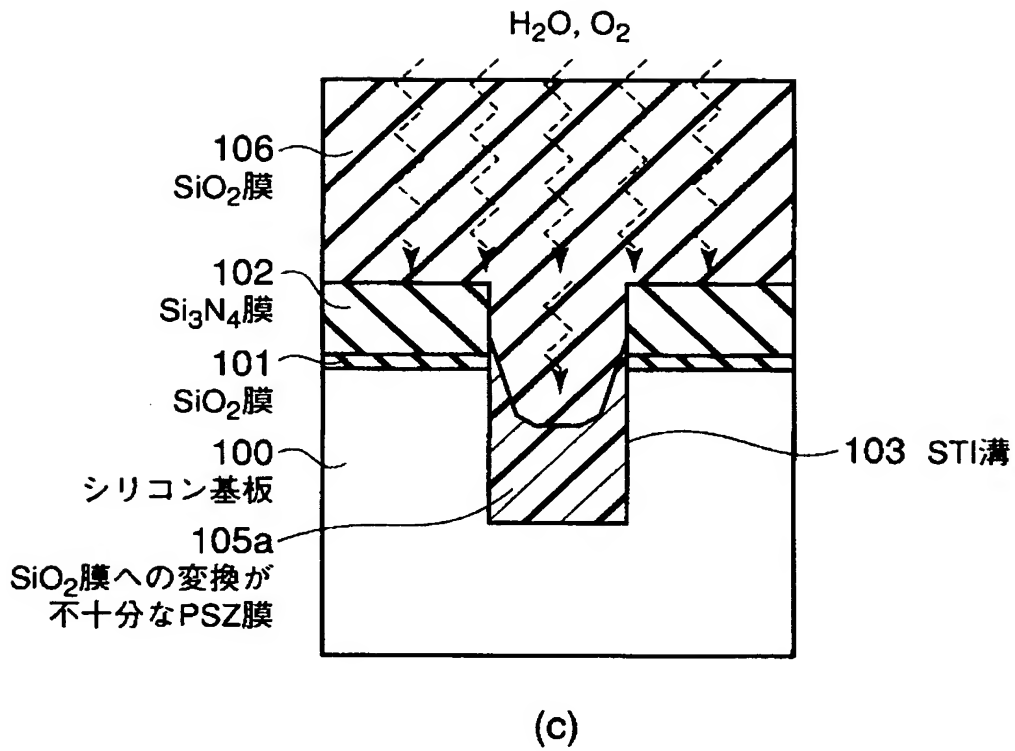


(a)

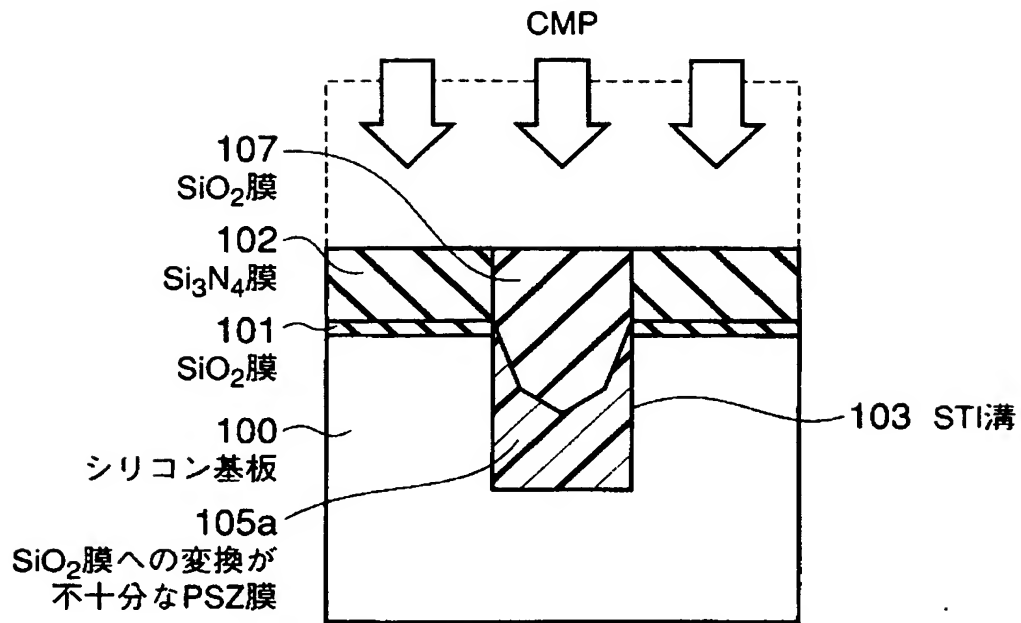


(b)

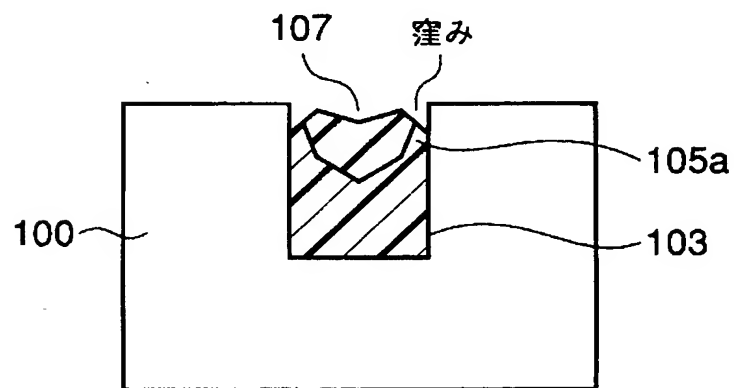
【図 1 5】



【図 1 6】

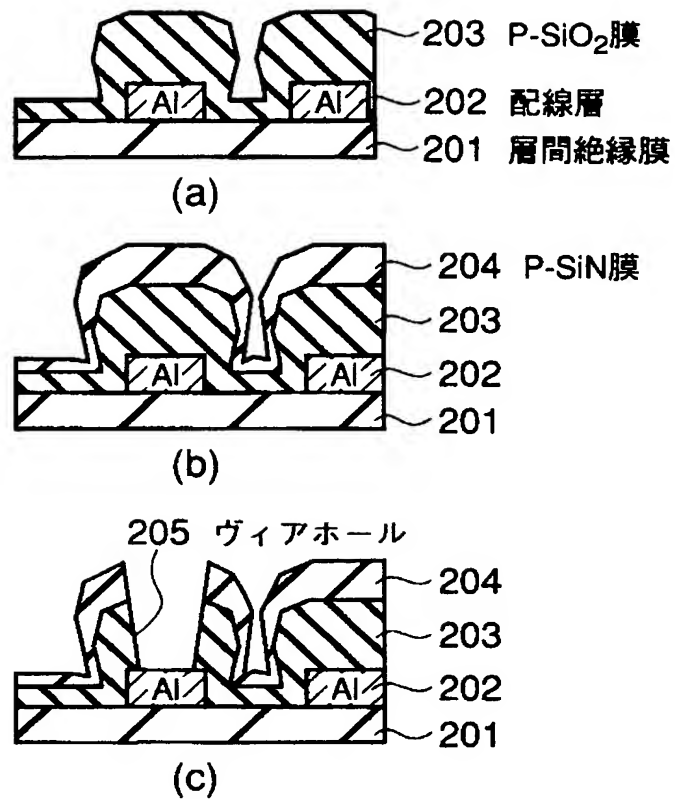


(e)

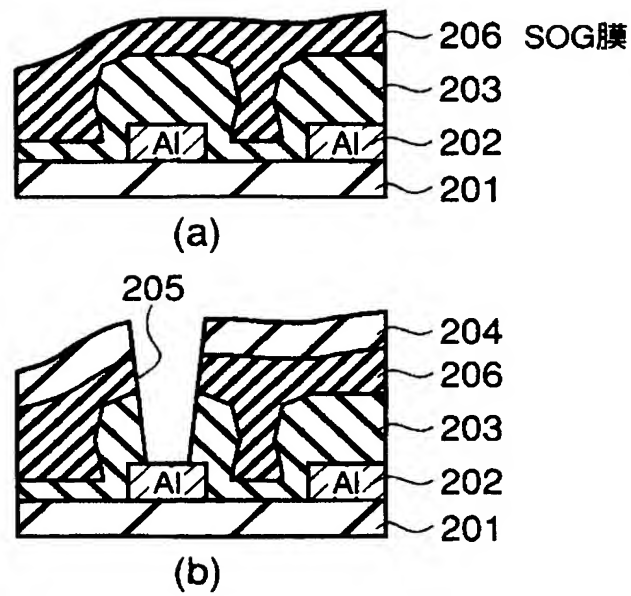


(f)

【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 S T I 溝内に、埋め込まれる絶縁膜の窪み、高さ変動などによる形状の劣化を防止できる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板 3 0 上表面に、 Si_3N_4 膜 3 2 をマスク部材として形成し、シリコン基板 3 0 をエッチングして S T I 溝 3 3 を形成する。S T I 溝 3 3 が形成されたシリコン基板 3 0 に、過水素化シラザン重合体溶液の塗布膜（P S Z 膜）を堆積し、その後、P S Z 膜を溝中にのみ残置し、マスク部材上の P S Z 膜を除去して S T I 溝 3 3 の底部より 6 0 0 n m 程度以下になるように薄膜化する。その後、P S Z 膜を水蒸気雰囲気中で熱処理することにより化学反応させてシリコン酸化膜 3 7 に変換する。その後、埋め込まれたシリコン酸化膜 3 7 を熱処理により緻密化する。

【選択図】 図 5

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 6 3 8 5 7
受付番号	5 0 3 0 0 9 6 2 1 6 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 6 月 1 2 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

【代理人】

申請人	
【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河野 哲

【選任した代理人】

【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	中村 誠

【選任した代理人】

【識別番号】	100108855
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	蔵田 昌俊

【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内

次頁有

認定・付加情報（続き）

【氏名又は名称】	村松 貞男
【選任した代理人】	
【識別番号】	100092196
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	橋本 良郎

次頁無

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2003年 5月 9日
[変更理由]	名称変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝